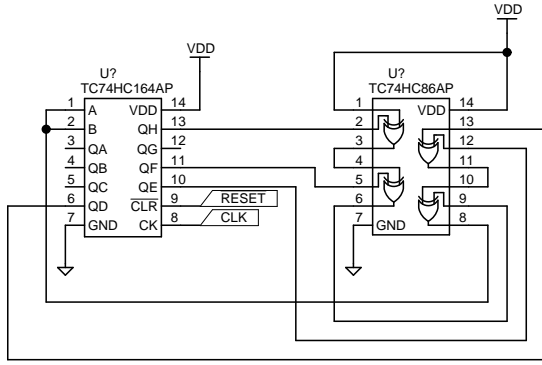
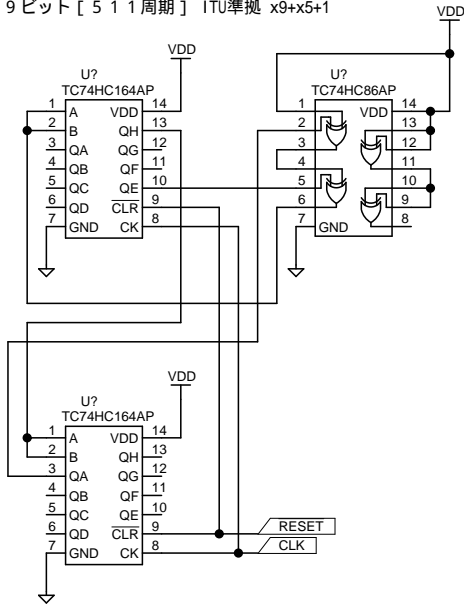


D009 . M系列生成回路 (未実験)

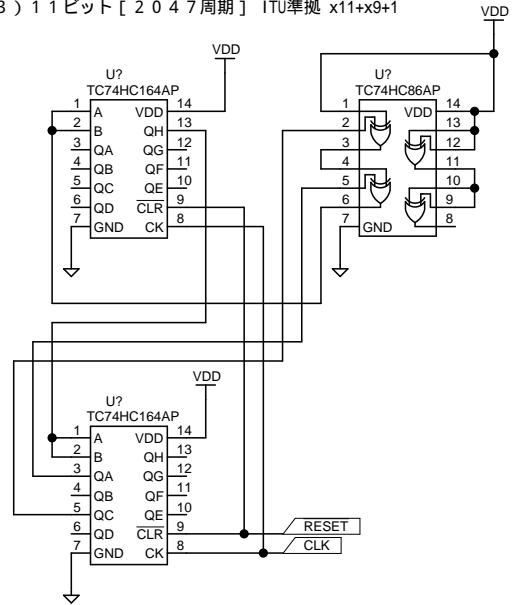
(1) 8ビット [ 2 5 5 周期 ]  $x8+x6+x5+x4+1$



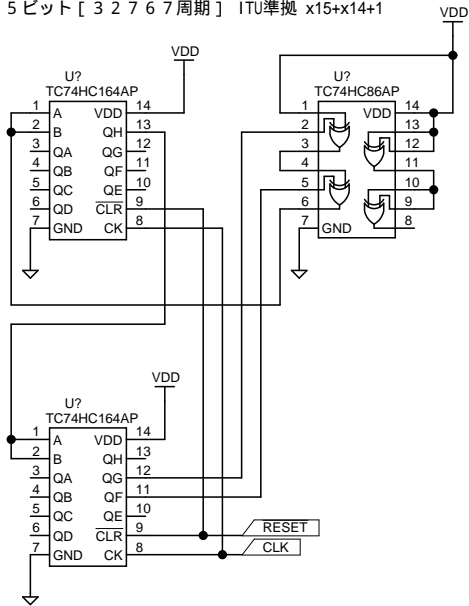
(2) 9ビット [ 5 1 1 周期 ] ITU準拠  $x9+x5+1$



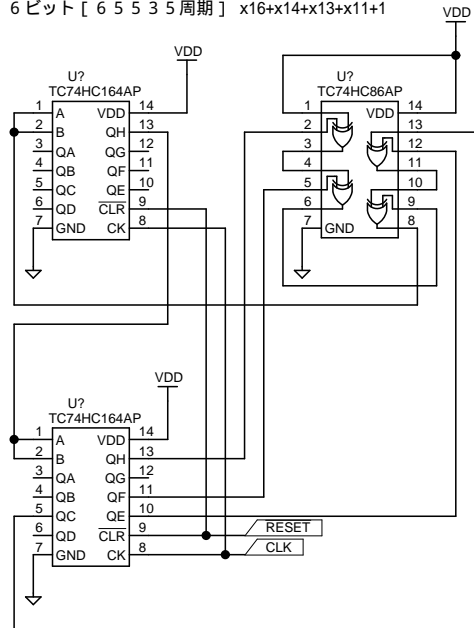
(3) 11ビット [ 2 0 4 7 周期 ] ITU準拠  $x11+x9+1$



(4) 15ビット [ 3 2 7 6 7 周期 ] ITU準拠  $x15+x14+1$



(5) 16ビット [ 6 5 5 3 5 周期 ]  $x16+x14+x13+x11+1$



TITLE		DRAWING_No.	
標準ロジック応用回路 3			
SHEET	DATE	DESIGN	
1 / 1	2014.03.30	てきーらサンドム	