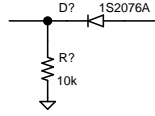
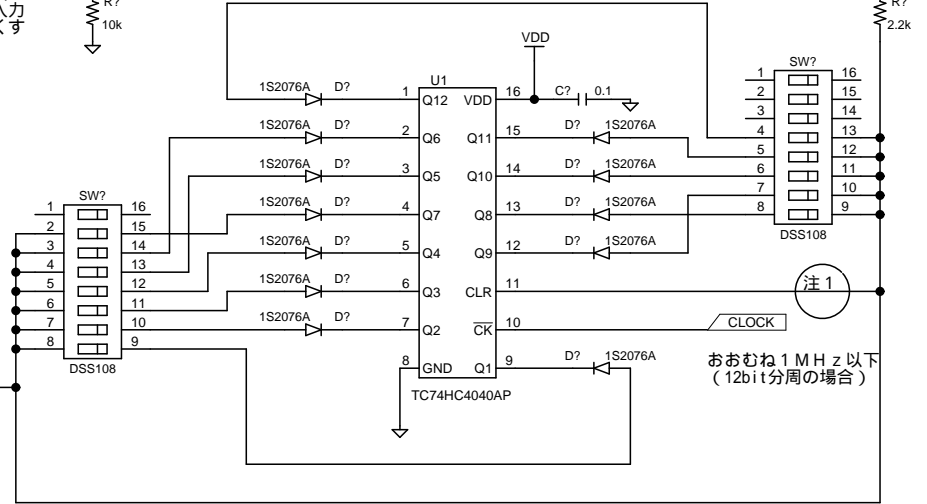
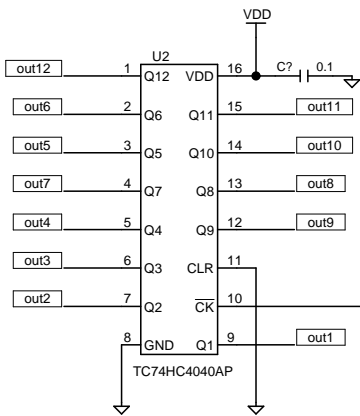


D 0 0 7 . 簡易N分周器

注1. U1とU2の閾値バラツキがある場合、U2が正常にカウントできない可能性がある。その場合は右図回路を挿入する。この回路は立ち下がり時間が入力容量と10kの時定数で決まり、CLOCK周波数を高くするのが難しくなる。



注2. VDDを2V以下にする場合はダイオードをショットキーに変更する。

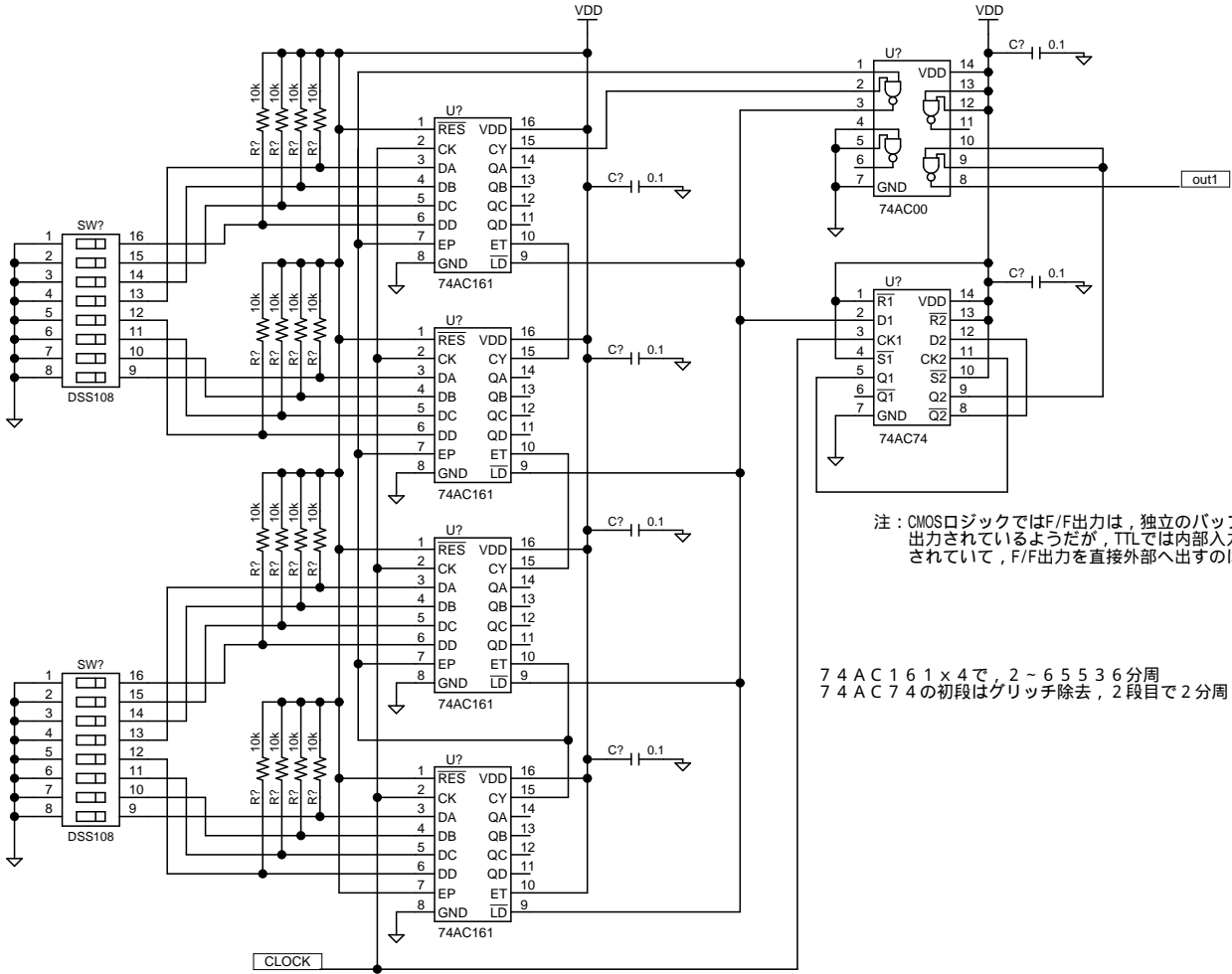


CLOCK=1MHz時の設定方法

N=500kHz / 目的周波数

Nが4095以下ならDIP SWにNをバイナリで設定してout1から取り出す。例:N=1000ならバイナリ値11 1110 1000なので、Q10-Q6,Q4のスイッチをon,他をoffに設定する。Nが4096以上なら4095以下になるまで2で割り、割った結果をDIP SWに設定する。また2で割った数だけoutの取り出し位置をずらす。

D 0 0 8 . 高速N分周器 (未実験)



注: CMOSロジックではF/F出力は、独立のバッファ経由で出力されているようだが、TTLでは内部入力にも結線されていて、F/F出力を直接外部へ出すのは厳禁であった。

74AC161 x 4で、2~65536分周
74AC74の初段はグリッチ除去、2段目で2分周し方形波にする。

D I P SWには、分周数Nに対してN-1を設定する。ただしNは2以上。N-1を2進数で表したときの'1'をON, '0'をOFFと設定する。

TITLE		DRAWING_No.	
標準ロジック応用回路2			
SHEET	DATE	DESIGN	
1 / 1	2011.04.21	てきーらサンドム	