

この仕様書は、筆者が独自にオリジナルの英文仕様書を日本語に訳したものです。
注意深く翻訳したつもりですが、内容について疑義が生じた場合には、必ず英語の最新版を参照してください。

(有)テクノアート

[1 ページ]

DS2751

各種バッテリー容量計

特徴

- 2種類の構成で利用可能
 - 25mΩのセンス抵抗内蔵
 - 外部センス抵抗はユーザー設定可能
- 電流測定
 - 12ビットの双方向測定
 - 内部センス抵抗の構成：
0.625mA LSBと±1.9Aのダイナミックレンジ
 - 外部センス抵抗の構成：
15.625μV LSBと±64mVのダイナミックレンジ
- 電流の積算
 - 内部センス抵抗： 0.25mAh LSB
 - 外部センス抵抗： 6.25μVhr LSB
- 4.88mVの分解能を持った電圧測定
- 0.125°Cの分解能を持った集積センサーを使う温度測定
- 32バイトのロック可能なEEPROM
- 16バイトの多目的のSRAM
- 独自の64ビット デバイス アドレスを持ったダラスの1-Wire®インターフェース
- 1セルのLi+/ポリマーまたは3セルのNiバッテリーパックをサポート
- 3mmサイズの8ピンTSSOPパッケージは、薄型Li+やLi+/ポリマー電池の横に取り付け可能
- 低消費電力：
 - アクティブ電流： 60μA (typ)、90μA (max)
 - スリープ電流： 1μA (typ)、2μA (max)

ピン構成

ピン説明

V _{IN}	電圧センス入力
V _{SS}	デバイス グランド
PIO	プログラム可能なI/Oピン
V _{DD}	電源入力 (2.5V~5.5V)
IS1	電流センス入力
IS2	電流センス入力
SNS	センス抵抗接続
DQ	データ入力/出力

注文情報

1-Wireは、ダラス セミコンダクタの登録商標です。

020104

[2 ページ]**説明**

DS2751 各種バッテリー容量計は、コストを考慮しスペースを抑えた1セルLi+／ポリマーまたは3セルNiバッテリー パック アプリケーション用に用意されたデータ収集と情報記憶素子です。DS2751は、3.3mm x 4.4mm 8ピンTSSOPパッケージの小さな面積に、不揮発性（NV）のデータ記憶装置を含めて、低消費電力の温度・電圧・電流の精密測定と電流の積算器を集積することによって、残容量を正確に見積るのに必要とされる主要なハードウェア コンポーネントを持っています。

このICの1-Wireインターフェースを通じて、DS2751は、ステータスと制御レジスタ、計測レジスタ及び多目的データ記憶域にアクセスするためのリード／ライトをホスト システムに与えます。各素子は、各種のバッテリー オペレーションをサポートして、ICがホスト システムによって個々に扱われるように、工場プログラムされた単一の64ビットのネット アドレスを持っています。DS2751は、バッテリー充電制御と残容量推定のようなプロセス監視をするアプリケーションをサポートするのに十分な分解能で、温度・電圧及び電流測定を行いません。温度は、サーミスタを追加することなくオンチップ センサーを用いて測定されます。双方向での電流測定及び積算は、内部の25mΩのセンス抵抗か外部部品のいずれかを用いて行なわれます。またDS2751は、ホスト システムが電池パック内の他のエレクトロニクスを感知しコントロールするのを可能にする、プログラム可能なI/Oピンを装備しています。

DS2751には、EEPROM、ロック可能なEEPROM、及びSRAMの3タイプのメモリーがバッテリー情報の記憶用に装備されています。EEPROMメモリーは、重要なバッテリー データを、過大なバッテリー放電、偶然のショートまたはESDの発生に影響されない、真のNVメモリーに保存します。ロック可能なEEPROMは、バッテリー データを改ざんしないための付加セキュリティを提供するため、ロックされたときにはROMになります。SRAMは、一時的データ用の安い記憶装置を供給します。

[3 ページ]**絶対最大定格***

V _{SS} に対するPIOピンの電圧	-0.3V～+12V
V _{SS} に対する他の総てのピン	-0.3V～+6V
連続内部センス抵抗電流	±2.5A
パルス状内部センス抵抗電流	<毎秒100μsで<1000パルスでは±50A
動作温度範囲	-40°C～+85°C
保存温度範囲	-55°C～+125°C
はんだ付け温度	J-STD-020Aの仕様を参照

*これはストレス定格のみで、これらか、あるいはこの仕様書の動作セクションに表示されているものより上の他の条件におけるデバイスの機能的な動作には適用されません。長時間絶対最大定格条件にさらすことは、信頼性に影響することがあります。

推奨直流動作条件**直流電気特性****[4 ページ]**

電気特性： 温度、電圧、電流

電気特性： 1-Wireインターフェース

[5 ページ]

EEPROMの信頼性仕様

- Note 1: 総ての電圧はV_{SS}基準
- Note 2: V_{SS}に対する動作V_{IN} > 4.5VまたはV_{IN} > V_{DD} + 0.3Vは、電圧・温度・電流の測定にエラーを引き起こすことがあります。
- Note 3: 出力ピンの負荷やセンス抵抗の電力損失による自己発熱は、室温条件での読みとりと異なることがあります。
- Note 4: 電圧レジスタは、4.75Vより大きな値を報告するのに充分ですが、回路差に対する内部補正は、最大の報告可能な電圧を4.75Vに減少させることがあります。
- Note 5: 電圧オフセット測定は、+25°Cで4.35Vを基準としています。
- Note 6: 内部電流センス抵抗の構成
- Note 7: 外部電流センス抵抗の構成
- Note 8: 電流レジスタは、内部センス抵抗オプションを用い、64mVの外部抵抗のオプションを用いて、2.56Aまでの測定範囲をサポートします。プロセスと温度変化に対する内部センス抵抗値の補正は、最大の報告可能な大きさを1.9Aまで減少させることがあります。
- Note 9: 電流オフセット誤差を±1 LSBにするには、ユーザーによるシステム構成で代表的に一回3.5秒を必要とします。
- Note 10: 電流利得誤差仕様は、IS1とIS2の電圧差を変換して利得誤差に適用し、DS2751が内部センス抵抗の温度係数3700ppm/°Cを±500ppm/°Cの精度に補正した後のその他の残留誤差は除外します。DS2751は、外部センス抵抗の特性は補正せず、外部センス抵抗を使うことによる総ての誤差項目は、総合電流測定誤差を計算するときに考慮しなければなりません。
- Note 11: 3.6Vと+25°Cでのt_{ERR}に対する代表値
- Note 12: +70°Cに於いて4年間のデータ保持

[6 ページ]

図1 機能図

[7 ページ]

図2 応用例

- 1) R_{SENS}は、外部のセンス抵抗の構成用のみに存在します。
- 2) R_{SENSINT}は、内部センス抵抗の構成用のみに存在します。

パワーモード

DS2751は、アクティブとスリープの2つのパワーモードを持っています。アクティブモードのときDS2751は電流の積算をするために、データをホストシステムに提供するように電流・電圧・温度を連続して測定します。スリープモードでは、DS2751はこれらの活動を中止します。PMOD = 1の時に下記のどちらかが発生すると、DS2751はスリープモードに入ります。

- DQラインがt_{SLEEP} (2.2s)より長い時間ローである。(パック切断)
- ステータスレジスタのUVENビットが1にセットされ、V_{IN}の電圧がt_{VUD}に対するV_{IN}の下側スレシヨルドより低下する。(セルの取り外し)

DS2751は、DQラインがローからハイ状態に引き上げられ、V_{IN}の電圧がV_{UV}より高いときにアクティブモードに戻ります。DS2751の工場出荷時のデフォルトは、UVEN = PMOD = 0です。

電源が最初に供給されるときは、DS2751はアクティブモードになります。

[8 ページ]

電流測定

動作がアクティブモードの時、DS2751は、電流センス抵抗間の電圧低下を測定することにより、バッテ

リーに流入したりバッテリーから流出したりする電流を連続して測定します。DS2751は、次の二つの構成： 1) 内部の25mΩの電流センス抵抗、2) 外部のユーザーが選択できるセンス抵抗 を用意しており、DS2751はセンス抵抗上の電圧低下を取り出すことにより、ピンIS1とIS2間の電圧差異 ($V_{IS} = V_{IS1} - V_{IS2}$) を考察します。正の V_{IS} 値はバッテリーに電流が流れ込んでいることを示し（充電）、一方、負の V_{IS} 値はバッテリーから電流が流れ出ていることを示します。（放電）

V_{IS} は、12ビットの定められた分解能で測定されます。電流レジスタは、2の補数フォーマットで平均128測定で88ms毎に更新されます。レジスタの範囲外の電流は、範囲の限界と報告されます。電流レジスタのフォーマットは図3に示されています。

内部センス抵抗構成の場合、DS2751はアンペア単位で0.625mAの分解能で電流レジスタを維持し、フルスケールのレンジは±1.9Aを超えません。（詳細については、 I_{FS} 仕様のNote 7を参照。）DS2751は電流を報告するときに、内部のセンス抵抗プロセスのばらつきと温度効果を自動的に補正します。

外部センス抵抗構成の場合、DS2751は、測定した V_{IS} を15.625μVで±64mVのフルスケール レンジで、電圧単位で電流レジスタを更新します。

図3 電流レジスタのフォーマット

電流積算器

電流積算器は、バッテリーへとバッテリーからの正味の電流を追跡することによって、残っている容量の判断をします。バッテリーへの電流は電流積算器を加算し、一方、バッテリーからの電流はそれを減算します。データは、電流積算器に2の補数フォーマットで維持されます。電流積算器のフォーマットは、図4に示されています。

内部のセンス抵抗が使用される場合は、DS2751は、0.25mAhrsの分解能と±8.2Ahrsのフルスケールで電流積算器をアンペア時の単位で維持します。外部のセンス抵抗が使用される場合は、DS2751は、6.25μVhrsの分解能と±205mVhrsのフルレンジで電流積算器をボルト時の単位で維持します。

電流積算は、必要に応じてホスト システムにより変更されるリード/ライト レジスタです。

[9ページ]

図4 電流積算器のフォーマット

電流オフセットの補正

電流測定と電流積算の両方とも、素子の温度と電圧の変化に起因するエラーを最小限にする連続したバイアス オフセットに対して内部で補償されます。さらに、固定のバイアスは、他のオフセット源を変更するために利用できます。このバイアスは、2の補数フォーマットでEEPROMアドレスの33hにあり、各電流測定から減じられます。電流オフセット バイアスは、内部と外部のセンス抵抗構成に適用されます。電流のオフセット バイアスの工場デフォルト値は0です。

図5 電流のオフセット バイアス

電圧測定

DS2751は、 V_{IN} と V_{SS} ピン間の電圧を0から4.5Vのレンジで連続して測定します。電圧レジスタは、3.4msの間隔と4.88mVの分解能で2の補数フォーマットで更新します。最大レジスタ値を超える電圧は、最大値として報告されます。電圧レジスタのフォーマットは、図6に示されています。

図6 電圧レジスタ フォーマット

[10ページ]

温度測定

DS2751は、バッテリーの温度を連続して測定するために、集積した温度センサーを使用します。温度測定は、温度レジスタに220msで、±127°Cの範囲にわたって0.125°Cの分解能で、また、2の補数フォーマットで更新されます。温度レジスタ フォーマットは、図7に示しています。

図7 温度レジスタ フォーマット

プログラム可能なI/O

PIOピンを出力ピンとして使用するために、要求される出力値を特別の機能レジスタ内のPIOビットに書き込みます。PIOビットに0を書くことは、PIO出力ドライバーをアクティブにし、PIOピンをV_{SS}に引き上げます。PIOビットに1を書くことは、出力ドライバーを機能停止にし、PIOピンをハイに引き上げるか入力として使えるようにします。PIOピンの値を感知するために、PIOビットを読みます。DS2751は、PIO出力ドライバーをオフにし、スリープモードまたはDQがt_{SLEEP} (2.2s)よりも長い間ローの時、PMODビットの状態にかかわらず、PIOビットをハイにセットします。

メモリー

DS2751は、残りのアドレス空間部分を占めるロック可能なEEPROMとSRAMメモリーと共に、下位32バイトに計測、ステータス及び制御用のレジスタを持った、256バイトのリニアアドレス空間を持っています。それぞれステータスレジスタと電流オフセットレジスタ用のデフォルト値を書き込むべきアドレスの31hと33hを除いて、総てのEEPROMとSRAMは汎用です。総ての2バイトレジスタのMSBが読まれるときは、読みとり中の更新を阻止し、二つのレジスタバイト間の同期を確実にするために、MSBとLSBの両方がRead命令の間ラッチされ保持されます。一貫した結果を得るために、同じRead Data命令シーケンスの間は常に2バイトレジスタのMSBとLSBを読み取ります。

EEPROMメモリーは、書き込みとのプログラム遅延を無くし、データをEEPROMにコピーされる前にホストシステムによってベリファイされることを可能にするために、RAMによってシャドーされます。すべてのEEPROMの読みとりと書き込みは、実際にはシャドーRAMにアクセスします。ロック解除されたEEPROMブロックには、Write命令がシャドーRAMを更新します。ロックされたEEPROMでは、Write命令は無視されます。Copy Data命令は、シャドーRAMの内容をEEPROMのロック解除されたブロックのEEPROMにコピーしますが、ロックされたブロックには影響を与えません。Recall Data命令は、ブロックがロックされているかいないかに関係なく、EEPROMブロックの内容をシャドーRAMにコピーします。

[11ページ]

表3 メモリーマップ

*各EEPROMのブロックは、Lock命令でロックされるまでリード/ライトで、その後リードオンリーになります。

ステータスレジスタ

ステータスレジスタビットに対するデフォルト値は、アドレス31hに対応するビットにおけるロック可能なEEPROMに格納されます。EEPROMのブロック1に対するRecall Data命令は、デフォルト値をステータスレジスタビットにリコールします。ステータスレジスタのフォーマットは、図8に示されています。各ビットの機能は、今後の文中で詳細に説明します。

図8 ステータスレジスタのフォーマット

PMOD — スリープモードのイネーブル。このビットの値1は、DQラインがt_{SLEEP}よりも長い間ローのとき、DS2751がスリープモードにはいることを可能にします。値0はDS2751がスリープモードに入ることを不可能にします。このビットは読みとり専用です。要求されるデフォルト値は、アドレス31hのビット5で設定されなければなりません。工場設定のデフォルト値は0です。

RNAOP — リード ネット アドレスのオPCODEです。このビットの0値は、**Read Net Address**命令用のオPCODEを33hにセットし、一方、値1はオPCODEを39hにセットします。このビットは読みとり専用です。要求されるデフォルト値は、アドレス31hのビット4で設定されなければなりません。工場設定のデフォルト値は0です。

[12ページ]

UVEN — 減電圧スリープのイネーブル

PMODの値1と共に**UVEN**における値1は、 V_{IN} の電圧が t_{UVD} に対して減電圧スレシヨルド V_{UV} より低下すると（電池の取り外し）、**DS2751**はスリープモードに入ります。値0は**DS2751**が減電圧発生によるスリープモードに入ることを不可能にします。このビットは読みとり専用です。工場でのデフォルトは0です。

X — 予約ビット

EEPROMレジスタ

EEPROMレジスタのフォーマットは図9に示されています。各ビットの機能は、この後の説明で詳しく述べられています。

図9 **EEPROM**レジスタのフォーマット

EEC — **EEPROM**コピー フラッグ。この読みとり専用ビットの1は、**Copy Data**命令が進行中であることを示します。このビットがハイの間、**EEPROM**アドレスへの書き込みは無視されます。このビットの0は、データがロック解除された**EEPROM**ブロックに書き込めることを示します。

LOCK EEPROM — ロック イネーブル。このビットが0のとき、**Lock**命令は無視されます。1をこのビットに書き込むと、**Lock**命令が可能になります。**Lock**命令が実行された後**Lock**ビットは0にリセットされます。工場のデフォルトは0です。

BL1 — **EEPROM**ブロック1のロック フラッグ。この読みとり専用ビットの1は、**EEPROM**のブロック1（アドレスの30から3F）がロックされている（読みとり専用）ことを示し、一方、0はブロック1がロック解除（リード・ライト）されていることを示します。

BL0 — **EEPROM**ブロック0のロック フラッグ。この読みとり専用ビットの1は、**EEPROM**のブロック0（アドレスの20から2F）がロックされている（読みとり専用）ことを示し、一方、0はブロック0がロック解除（リード・ライト）されていることを示します。

X — 予約ビット

特別フィーチャーのレジスタ

特別フィーチャーのレジスタ フォーマットは図10に示されています。各ビットの機能は、この後の説明で詳しく述べられています。

図10 特別フィーチャーのレジスタ フォーマット

[13ページ]

POR — **POR**表示ビット。**DS2751**はパワー オン リセット(**POR**)イベントが起きると、このビットは1にセットされます。パワー オン リセットを検出するパワー オン リセット ビットを使うには、電源が入った後の各**POR**の発生の後に、**POR**はホスト システムによって0にセットされなければなりません。

PIO — PIOピンの感知と制御。このリード・ライト ビットの詳細については、プログラム可能なI/Oのセクションを参照してください。

X — 予約ビット

1-WIREバス システム

1-Wireバスは、一個のバス マスターと一個またはそれ以上のスレーブを持つシステムです。マルチ ドロップ バスは、複数のスレーブを持った1-Wireバスです。単一ドロップ バスは、一つだけのスレーブ素子を持っています。いかなる場合でもDS2751はスレーブ素子です。バスマスターは殆どの場合、ホストシステムにおけるマイクロプロセッサです。このバス システムの説明は、4つの課題： 64ビット ネット アドレス、ハードウェア構成、処理シーケンス、及び1-Wire信号方式から成っています。

64ビット ネット アドレス

各DS2751は、工場プログラムされた単一の64ビット長の1-Wireネット アドレスを持っています。最初の8ビットは、1-Wireのファミリー コード (DS2751用の51h) です。次の48ビットは、単一の通し番号です。最後の8ビットは、最初の56ビットのCRCです。(図 1 1を参照。) 素子の中に組み込まれている64ビットのネット アドレスと1-WireのI/O回路は、このデータ シートの1-Wireバスシステムの箇所に詳細説明がある、1-Wireプロトコルを通じてDS2751が通信することを可能にします。

図 1 1 1-Wireのネット アドレスのフォーマット

CRCの発生

DS2751は、1-Wireネット アドレスの最下位バイトに格納される8ビットのCRCを持っています。このアドレスのエラーがない伝送を確実にするために、ホスト システムはそのアドレスの最初の56ビットからCRC値を計算でき、それをDS2751からのCRCと比較することが出来ます。ホスト システムは、そのCRC値を確かめ、その結果のアクションを取る任務を持っています。DS2751はCRC値を比較せず、CRCの不一致の結果に続く命令シーケンスを防止しません。CRCの適切な使用は、非常に高いレベルの完全性を持った通信チャネルを実現します。

図 1 2に示されているように、CRCはシフト レジスタとXORゲートで構成される回路を使用して、ホストによって発生するか、ソフトによって発生することが出来ます。ダラスの1-Wire CRCについての追加情報は、アプリケーション ノート27 「ダラスの半導体タッチ メモリー製品でサイクリック リダンダンシー チェックを理解して使う (*Understanding and Using Cyclic Redundancy Checks with Dallas Semiconductor Touch Memory Products*)」にあります。

図 1 2の回路では、シフト ビットは0に初期化されます。そしてファミリー コードの最下位ビットで始まり、その時の1ビットはシフトされます。ファミリー コードの第8ビットが入力された後、シリアル番号が入力されます。シリアル番号の第48ビットが入力された後、シフト レジスタはCRC値を保有します。

[1 4 ページ]

図 1 2 1-Wire CRC発生ブロック図

ハードウェアの構成

1-Wireバスは1本だけのラインを持っていますので、バス上の各素子が適切な時間にそれをドライブすることが重要です。これを容易にするために、1-Wireバスに接続された各素子は、オープン ドレインまたはトライステートの出力ドライバーでバスに接続されなければなりません。DS2751は、図 1 3に示されている双方向インターフェース回路の部分としてオープン ドレインの出力ドライバーを使います。もし双方向ピンがバス マスター上に無いときは出力を分離し、入力ピンを互いに接続することが出来ます。

1-Wireバスは、バスのバス マスターに於いてプルアップ抵抗を接続しなければなりません。配線が短いと

きには、この抵抗は約5kΩにしてください。1-Wireバスのアイドル状態はハイです。もし何らかの理由でバス交信が一時中断されなければならない場合には、後ほどその交信を適切に再開するために、バスはアイドル状態にしておかなければなりません。もしバスが120μsより長い間ローに放置されると、バス上のスレーブ素子は、そのローの期間をリセットパルスとしてインタラプトを始め、結果的にその交信を終了させます。

図 1 3 1-Wireバスのインターフェース回路

処理シーケンス

1-Wireポートを通じてのDS2751にアクセスするプロトコルは、以下の通りです。

- 初期化
- Net Address命令
- Function命令
- 処理/データ

これ以降のセクションは、これらのステップを詳細に説明しています。

[1 5 ページ]

1-Wireバスの総ての処理は、DS2751とバス上の全ての他のスレーブによって送信されたプレゼンスパルスに続き、バスマスターによって送信されたリセットパルスからなる初期化シーケンスで始まります。プレゼンスパルスは、一つ以上の素子がバス上にあり、動作準備が整っているということをバスマスターに告げます。更に詳細なことは、I/O信号方式のセクションを見てください。

Net Address命令

バスマスターが一度一個以上のスレーブの存在を検出すると、バスマスターは以下に説明するNet Address命令の一つを発行することが出来ます。各ROM命令の名前の後ろのかぎ括弧内に、命令に対する8ビットのオPCODEが続きます。図 1 4はNet address命令の通信フローチャートを示しています。

リード ネット アドレス [33hまたは39h]

この命令は、バスマスターがDS2751の1-Wireネットアドレスを読みとることを可能にします。この命令は、バス上に一つのスレーブが存在するときのみ使うことが出来ます。もし一個以上のスレーブが存在するときには、全てのスレーブが同時に送信しようとしたときにデータの衝突が起きます。（オープンドレインはワイアードANDになってしまいます。）ステータスレジスタ内のRNAOPビットは、33hを表すRNAOP = 0で39hを示すRNAOP = 1を持ったこの命令に対するそのオPCODEを選択します。

マッチ ネット アドレス [55h]

この命令は、バスマスターが1-Wireバス上の一個のDS2751に限ってアドレスする事を可能にします。そのアドレスされたDS2751のみが、あらゆる次のFunction命令に応答します。他の全てのスレーブ素子は、Function命令を無視してリセットパルスを待ちます。この命令は、バス上の一個以上の素子によって使用できます。

スキップ ネット アドレス [CCh]

この命令は、バスマスターがスレーブのアドレスを特定しないでFunction命令を発行することを可能にすることによって、バス上に一個だけのDS2751が存在するときには時間を節約します。もしバス上に一個以上のスレーブ素子があるときには、次のFunction命令は、全てのスレーブが同時にデータを送ると、データ衝突の原因となり得ます。

サーチ ネット アドレス [F0h]

この命令は、バスマスターが排除処理を使用し、バス上の全てのスレーブ素子の1-Wireネットアドレス

を確認できるようにします。この検索処理は、ビットの読みとり、ビットの補数読みとり、そしてそのビットの必要とされる値の書き込みという簡単な3ステップのルーチンの繰り返しを起こします。バスマスターは、ネットの各ビット位置でこの簡単な3ステップルーチンを実行します。全ての64ビットに総当たりの後、バスマスターは一個の素子のアドレスを理解します。残りの素子は、その後の処理の追加反復処理で認識されます。実際の例を含めて、ネットアドレス検索の包括的な説明についてのDS19xx iButton® 規格の章を参照してください。この資料は、マキシム・ダラスのウェブサイトwww.maxim-ic.comで見つけることができます。

Function命令

Net address命令の一つが問題なく終了すると、バスマスターは、下記に説明するFunction命令のどれかを使ってDS2751が持つ機能にアクセスできます。各機能の名前の後ろにカギ括弧内の8ビットのオペコードが続きます。

Read Data [69h, XX]

この命令は、メモリー アドレスXXで始まるDS2751からのデータを読みとります。アドレスXX内のデータのLSBは、そのアドレスのMSBが入力された直後に読みとることを可能にします。そのアドレスは、各バイトのMSBが受け取られた後に自動的に増加されますので、アドレスXX ± 1におけるデータのLSBは、アドレスXXにおけるデータのMSBの後ろを直ちに読めるようになります。もしバスマスターがアドレス

[16ページ]

FFhを越えて読み続けると、DS2751はリセットパルスが発生するまでロジック1を出力します。メモリーマップの「予約」と名付けられたアドレスは、未定義のデータを含んでいます。Read Data命令は、すべてのビット境界におけるリセットパルスで、バスマスターによって終了させることができます。

iButtonは、ダラス セミコンダクタの登録商標です。

Write Data [6Ch, XX]

この命令は、メモリー アドレスXXで始まるDS2751にデータを書き込みます。アドレスXXに格納されるデータのLSBは、そのアドレスのMSBが入力された直後に直ちに書き込めるようになります。このアドレスは、各バイトのMSBが書き込まれた後自動的に増加されますので、アドレスXX ± 1に格納されるLSBは、アドレスXXに格納されるMSBの後ろに直ちに書き込めるようになります。もしバスマスターがアドレスFFhを越えて書き込みを続けると、DS2751はそのデータを無視します。読みとり専用アドレス、予約アドレスそしてロックされたEEPROMブロックへの書き込みは無視されます。不完全なバイトは書き込まれません。ロック解除されたブロックへの書き込みは、EEPROMよりもむしろシャドーRAMに対するものです。詳細については、メモリーの箇所を参照してください。

Copy Data [48h, XX]

この命令は、アドレスXXを含む16バイトのEEPROMに対してシャドーRAMの内容をEEPROMにコピーします。ロックされたアドレスブロックへのCopy命令は無視されます。Copy Data命令が実行されている間は、EEPROMレジスタ内のEECビットは1にセットされ、EEPROMアドレスへの書き込みは無視されます。非EEPROMアドレスの読みとりと書き込みは、そのコピーが進行中のときでも発生できます。Copy Data命令の実行時間 t_{EEC} は、代表値が2msで、最後のアドレスが送信された後に開始されます。

Recall Data [B8h, XX]

この命令は、アドレスXXに含まれている16バイトのEEPROMの内容をシャドーRAMにリコールします。

Lock [6Ah, XX]

この命令は、メモリー アドレスXXに含まれるEEPROMメモリーの16バイトのブロックをロック（書き込み禁止）します。EEPROMレジスタ内のロックビットは、Lock命令が実行される前に1にセットしなければなりません。もしロックビットが0の場合、Lock命令は効果がありません。Lock命令は永久的で、ロックされたブロックは、再び絶対に書き込まれることがありません。

表4 Function命令

[17ページ]

図14 Net Address命令のフローチャート

[18ページ]

I/O信号方式

1-Wireバスは、データの保全性を保証するために厳密な信号方式プロトコルを必要とします。DS2751で使用されている4つのプロトコルは、初期化シーケンス（プレゼンスパルスの前のリセットパルス）、0の書き込み、1の書き込み、及びデータの読みとりです。プレゼンスパルスを除く信号方式の全てのタイプは、バスマスターによって開始されます。

DS2751との全ての通信を開始するために要求される初期化シーケンスは、図15に示されています。リセットパルスに続くプレゼンスパルスは、DS2751がNet Address命令を受け付ける準備が来ているということを示しています。バスマスターは、 t_{RSTL} の期間リセットパルスを送信（Tx）します。そしてバスマスターは通信ラインを開放し、受信モード（Rx）に移行します。1-Wireバスラインは、その後プルアップ抵抗でハイとなります。DQピンにおける立ち上がりエッジを検出した後、DS2751は t_{PDH} を待ち、その後 t_{PDL} の間プレゼンスパルスを送信します。

図15 1-WIREの初期化シーケンス

書き込み時間スロット

書き込み時間スロットは、バスマスターが1-Wireバスをロジックハイレベル（非活動）からロジックローレベルに変化させるときに開始されます。書き込み1と書き込み0の二つのタイプの書き込み時間スロットがあります。全ての書き込み時間スロットは、サイクル間の最小 $1\mu\text{s}$ の回復時間の t_{REC} 内の期間、 t_{SLOT} （ $60\mu\text{s}$ から $120\mu\text{s}$ ）でなければなりません。DS2751は、バスラインがローになった後の $15\mu\text{s}$ から $60\mu\text{s}$ の間で1-Wireバスラインをサンプルします。サンプルされたときにバスラインがハイであると、1の書き込みが発生します。サンプルされたときにバスラインがローであると、0の書き込みが発生します。

（図16を参照）1を書き込む時間スロットを発生するバスマスターに対しては、そのバスラインは、ローにしてから開放し、書き込み時間スロットに対する書き込み開始の後、 $15\mu\text{s}$ 以内にバスラインがハイとなれるようにしなければなりません。0を書き込む時間スロットを発生するホストに対しては、バスラインはローにされ、その書き込み時間スロットの期間、ローに保持されなければなりません。

読み込み時間スロット

読み込み時間スロットは、バスマスターが1-Wireバスラインをロジックハイレベルからロジックローレベルに変化させるときに開始されます。バスマスターは、バスラインを少なくとも $1\mu\text{s}$ ローに保ち、その後DS2751が有効なデータを提示できるようにするためにラインを開放しなければなりません。そしてバスマスターは、読みとり時間スロットのはじめから t_{RDV} （ $15\mu\text{s}$ ）の間データをサンプル出来ます。その読みとり時間スロットの最後までにDS2751はバスラインを開放し、バスラインを外部のプルアップ抵抗でハイにつり上げられるようにします。全ての読みとり時間スロットは、サイクル間の最小 $1\mu\text{s}$ の回復時間 t_{REC} 内の期間、 t_{SLOT} （ $60\mu\text{s}$ から $120\mu\text{s}$ ）でなければなりません。詳しくは図16を参照してください。

[19ページ]

図16 1-WIREの書き込みと読み込み時間スロット

(有) テクノアート